

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-042746

(43)Date of publication of application : 15.02.1989

⇒ Same as
01-042746

(51)Int.Cl.

G06F 11/30

(21)Application number : 62-200303

(71)Applicant : NIPPON DENSO CO LTD

(22)Date of filing : 10.08.1987

(72)Inventor : INA HIROYUKI

KOBAYASHI AKIO

NAKAMURA AKIMASA

TAKASHIMA HIROYUKI

HONDA MASAKAZU

IWASAKA TOSHIYUKI

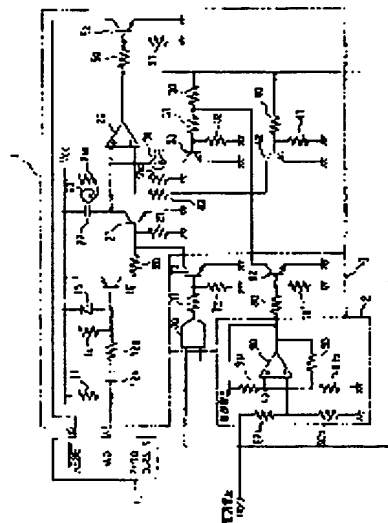
(54) RESET DEVICE FOR DIGITAL COMPUTER

(57)Abstract:

PURPOSE: To lower the minimum operating voltage of a digital computer and to prevent a malfunction at the time of a power source lowering by preventing the digital computer from being continued to be reset as long as a watch dog pulse is inverted even when the power source voltage is lowered.

CONSTITUTION: A reset circuit part is composed of a watch dog timer circuit 1, a power source voltage comparator circuit 2 and a reset control circuit 3. When the power source voltage is larger than a comparing voltage and the watch dog pulse from a digital computer 10 is not inverted, a reset pulse is added from the watch dog timer means 1 to the digital computer 10 with being repeated.

From a time that the power source voltage is lower than the comparing voltage and the match dog pulse from the digital computer 10 is not inverted and until the power source voltage is larger than the comparing voltage, the reset is continued to be loaded to the digital computer. Thus, the digital computer is effectively operated even to the low power source voltage and the malfunction at the time of the power source voltage lowering can be prevented.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application]

converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報(A)

昭64-42746

⑬ Int.Cl.⁴

G 06 F 11/30

識別記号

3 1 0

庁内整理番号

B-7343-5B

⑭ 公開 昭和64年(1989)2月15日

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 デジタルコンピューターのリセット装置

⑯ 特 願 昭62-200303

⑰ 出 願 昭62(1987)8月10日

⑱ 発 明 者	伊 奈	博 之	愛知県刈谷市昭和町1丁目1番地	日本電装株式会社内
⑱ 発 明 者	小 林	昭 雄	愛知県刈谷市昭和町1丁目1番地	日本電装株式会社内
⑱ 発 明 者	中 村	彰 正	愛知県刈谷市昭和町1丁目1番地	日本電装株式会社内
⑱ 発 明 者	高 嶋	博 之	愛知県刈谷市昭和町1丁目1番地	日本電装株式会社内
⑱ 発 明 者	本 田	雅 一	愛知県刈谷市昭和町1丁目1番地	日本電装株式会社内
⑱ 発 明 者	岩 坂	利 幸	愛知県刈谷市昭和町1丁目1番地	日本電装株式会社内
⑰ 出 願 人	日本電装株式会社		愛知県刈谷市昭和町1丁目1番地	
⑰ 代 理 人	弁理士 岡 部 隆			

明 細 書

1. 発明の名称

デジタルコンピューターのリセット装置

2. 特許請求の範囲

デジタルコンピューターから一定期間内にウォッチドッグパルスが出力されないことを検出し、デジタルコンピューターに対してリセットをかけるためのウォッチドッグタイマ手段と、

電源電圧と所定の比較電圧とを比較する電源電圧比較手段と、

電源電圧が前記比較電圧以上で前記デジタルコンピューターからのウォッチドッグパルスが反転しない時に前記デジタルコンピューターに対して前記ウォッチドッグタイマ手段よりリセットパルスを送り返し加え、前記電源電圧が前記比較電圧以下で、かつ前記デジタルコンピューターからのウォッチドッグパルスが反転しない時から前記デジタルコンピューターに対してリセットをかけ続

け、前記電源電圧が前記比較電圧以上になるまでリセットを解除しないリセット制御手段とを備えるデジタルコンピューターのリセット装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は主に自動車に搭載されるデジタルコンピューターのリセット装置に関する。

(従来の技術)

従来、電源電圧低下等の理由により、デジタルコンピューターであるマイクロコンピューターの動作に異常が生じて、マイクロコンピューターより出力されるウォッチドッグパルスが一定時間反転しない場合に、マイクロコンピューターに対してリセットを一定周期で繰り返してかけることが一般的に行われている。

また従来、電源電圧が所定値以下になると、ウォッチドッグパルスが反転していても、マイクロ

コンピュータにリセットをかけ続けて、電源電圧低下時のマイクロコンピュータの誤動作を防止するものがある（例えば、特開昭60-81445号公報）。

〔発明が解決しようとする問題点〕

ところが、上述した従来のものでは、電源電圧が低いときには、ウォッチドッグパルスの発生の有無に関係なく、マイクロコンピュータが必ずリセットされ続けているので、マイクロコンピュータの最低作動電圧が高くなってしまいうという問題がある。

そこで本発明は、デジタルコンピュータを低い電源電圧まで有効に動作させ、かつ不測の制御を防止することを目的とする。

〔問題を解決するための手段〕

そのため本発明は、デジタルコンピュータから一定期間内にウォッチドッグパルスが出力されないことを検出し、デジタルコンピュータに対

してリセットをかけるためのウォッチドッグタイマ手段と、

電源電圧と所定の比較電圧とを比較する電源電圧比較手段と、

電源電圧が前記比較電圧以上で前記デジタルコンピュータからのウォッチドッグパルスが反転しない時に前記デジタルコンピュータに対して前記ウォッチドッグタイマ手段よりリセットパルスを送り返し加え、前記電源電圧が前記比較電圧以下で、かつ前記デジタルコンピュータからのウォッチドッグパルスが反転しない時から前記デジタルコンピュータに対してリセットをかけ続け、前記電源電圧が前記比較電圧以上になるまでリセットを解除しないリセット制御手段とを備えるデジタルコンピュータのリセット装置を提供するものである。

〔作用〕

これにより、電源電圧が比較電圧以上でデジタルコンピュータからのウォッチドッグパルスが

反転しない時にウォッチドッグタイマ手段よりデジタルコンピュータに対してリセットパルスを送り返して加え、かつ電源電圧が比較電圧以下でデジタルコンピュータからのウォッチドッグパルスが反転しない時から電源電圧が比較電圧以上になるまで、デジタルコンピュータに対してリセットをかけ続ける。

〔実施例〕

以下本発明を図に示す実施例について説明する。第1図は、本発明を具体化するための一実施例である。リセット回路部分は、ウォッチドッグタイマ回路1と電源電圧比較回路2とリセット制御回路3とから構成される。

ウォッチドッグタイマ回路1は公知のリセット方法を具体化する回路である。デジタルコンピュータをなすマイクロコンピュータ10の第2図(c)で示すウォッチドッグパルス信号は、微分回路を構成するコンデンサ12a、レジスタ12bを通して、トランジスタ16に接続されている。ト

ランジスタ16は、ウォッチドッグパルス信号の立ち上がり時に一定時間ONするウォッチドッグパルス反転検出トランジスタである。トランジスタ16のコレクタはトランジスタ27のベースに接続される。コンデンサ22は、充電用トランジスタ27と放電用電流源23とコンパレータ26の+入力側に接続されている。コンパレータ26の-入力側には、比較電圧決定用のレジスタ24a、24bが接続される。レジスタ30、31、32、トランジスタ33、電流源34により構成される回路は、リセットパルスを送り返し発生させるための充電回路である。レジスタ40、41、43、トランジスタ42により構成される回路は、発振動作を行わせるためのヒステリシス回路である。コンパレータ26の出力は、トランジスタ52に接続され、マイクロコンピュータ10を、第2図(d)に示すリセット反転信号の低レベル時にリセットすることができる。

次に本発明の主要部を具体化する電源電圧比較回路2とリセット制御回路3の構成について述べ

る。コンパレータ90は電源電圧を比較するものであり、その+入力基準電圧源と分割抵抗91a、91b、ヒステリシス抵抗93により決定される比較電圧(第2図(b))となる。基準電圧源は、低電源電圧時においても十分安定な電圧を供給する。コンパレータ90の-入力は、電源電圧(車載バッテリーの電圧)と分割抵抗92a、92bで決定される電圧となる。コンパレータ90の出力は、トランジスタ82に接続され、トランジスタ33をOFFできる様になっており、また論理積回路70の入力の一方に接続される。論理積回路70の他方の入力はコンパレータ26の出力に接続され、リセット状態かつ低電源電圧状態を検出し、トランジスタ73をONできる様に接続されている。また、トランジスタ73は、トランジスタ27をOFFさせ、リセット状態を継続させる。

次に、上記構成においてその作動を説明する。

まず公知のウォッチドッグタイマ回路1について説明する。マイクロコンピュータ10は正常

決定される比較電位以上となる。これにより、トランジスタ52はONし、マイクロコンピュータ10に対してリセットをかける。この時トランジスタ33をONし、定電流源34はコンデンサ22を徐々に充電する。これにより、コンパレータ26の+入力電位は一定時間後にレジスタ24a、24b、43により決定される比較電位以下となり、トランジスタ52はOFFし、マイクロコンピュータ10に対するリセットを解除する。このようにリセットを解除する目的はマイクロコンピュータ10の再正常動作を期待するためである。このリセット解除によってもマイクロコンピュータ10が正常動作せず、ウォッチドッグ信号が反転しない場合には、コンパレータ26は、所定の同期で発振し、上記に述べてきたリセット、リセット解除を繰り返す。レジスタ40、41、43、トランジスタ42によって構成される回路は、上記発振動作を行わせるためのヒステリシス回路である。

また、コンパレータ90、レジスタ91a、

に動作している限り、一定期間毎にウォッチドッグ信号を反転させる様にプログラムされている。ウォッチドッグ信号は微分回路12a、12bを通してトランジスタ16に加えられる。ウォッチドッグ信号の立ち下がりにおいてはトランジスタ16がONし、さらにトランジスタ27をONする。コンデンサ22は定電流源23によって徐々に放電されるが、一定期間毎にトランジスタ27によって急速に充電されるため、コンパレータ26の+入力電位は、レジスタ24a、24b、43によって決定される比較電位以上となることはない。従って、トランジスタ52はONせず、マイクロコンピュータ10に対してリセットはかけない。

いわゆる暴走等の原因により、ウォッチドッグパルスの反転が停止すると、トランジスタ16、27はOFF状態のままになり、コンデンサ22は、定電流源23によって徐々に放電され、所定の時間が経過すると、コンパレータ26の+入力電位はレジスタ24a、24b、43によって

91b、92a、92b、93によって構成される電源電圧比較回路2は、電源電圧と比較電圧との比較を行う回路である。電源電圧が比較電圧以上である場合、トランジスタ73、82はOFFしており、ウォッチドッグタイマ回路1は、先に述べたのと同じ動作を行う。

電源電圧が比較電圧以下であり、ウォッチドッグパルスが反転している場合にはトランジスタ82はONするが、ウォッチドッグタイマ回路1は先に述べたのと同じ動作を行う。

電源電圧が第1の比較電圧以下であり、ウォッチドッグパルスが反転を停止した場合には、まずトランジスタ52がONし、マイクロコンピュータ10に対してリセットをかけるが、同時にトランジスタ82もONしているためトランジスタ33はOFFのままであり、コンデンサ22は充電されず、リセットの解除は行われぬ。また、トランジスタ52がONかつ電源電圧が比較電圧以下の状態では、論理積回路70が、トランジスタ73をONする。これにより、ウォッチドッグ

パルスが反転してもトランジスタ27はONせず、リセットは解除されない。ウォッチドッグパルスの反転によるリセットの解除は、トランジスタ73がOFFするまで、すなわち電源電圧が比較電圧以上となるまで行われない。

従って本実施例によれば、低電源電圧時においても、ウォッチドッグパルスが反転している限りマイクロコンピュータ10に対してリセットをかけないため、低電源電圧まで有効にマイクロコンピュータ10を作動させることができる。これは従来行われてきた、電源電圧が所定の電圧（多くの場合マイクロコンピュータの最低作動電圧に余裕を見た電圧に設定される）以下となった場合に、ウォッチドッグパルスの有無に関係なくリセットをかける方式に比べて、そのマイクロコンピュータのもつ実力の最低作動電圧まで動作することができるため、最低作動電圧を大きく下げることができるという特徴を持つ。

また、電源電圧低下時に、ウォッチドッグパルスの反転が停止した場合には、マイクロコンピュ

ーター10に対してリセットをかけた後、再度電源電圧が比較電圧以上に上昇するまでリセットは解除されないため、マイクロコンピュータ10の不測の制御を防止するという特徴を持つ。

前記実施例においては、アナログ素子を用いて構成したが、第3図に示す様に、デジタル素子を用いて構成してもよいのは勿論である。

この第3図において、ウォッチドッグタイマ回路1は、単安定発振回路11、クロックパルス発生回路20、Dタイプフリップフロップ21、22、リセットパルス発生回路30、論理和回路31、論理積回路50、71および反転回路51により構成される。また、リセット制御回路3は論理積反転回路70aにより構成される。

〔発明の効果〕

以上述べたように本発明においては、電源電圧が低下してもウォッチドッグパルスが反転する限りデジタルコンピュータがリセットされ続けないため、デジタルコンピュータの最低作動電圧

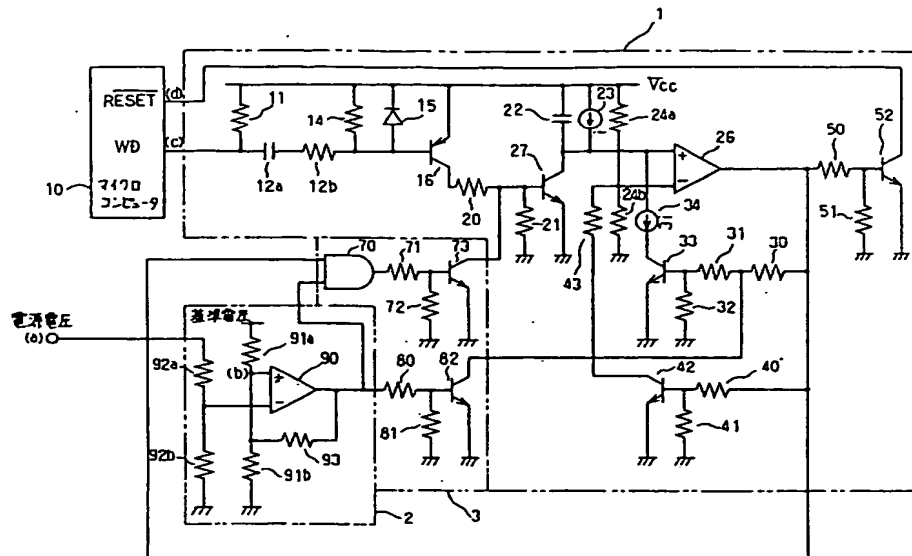
を低くすることができ、かつ電源電圧低下時のデジタルコンピュータの誤作動を確実に防止することができるという優れた効果がある。

4. 図面の簡単な説明

第1図は本発明装置の一実施例を示す電気回路図、第2図は第1図図示装置の作動説明に供する各部波形成図、第3図は本発明装置の他の実施例を示す電気回路図である。

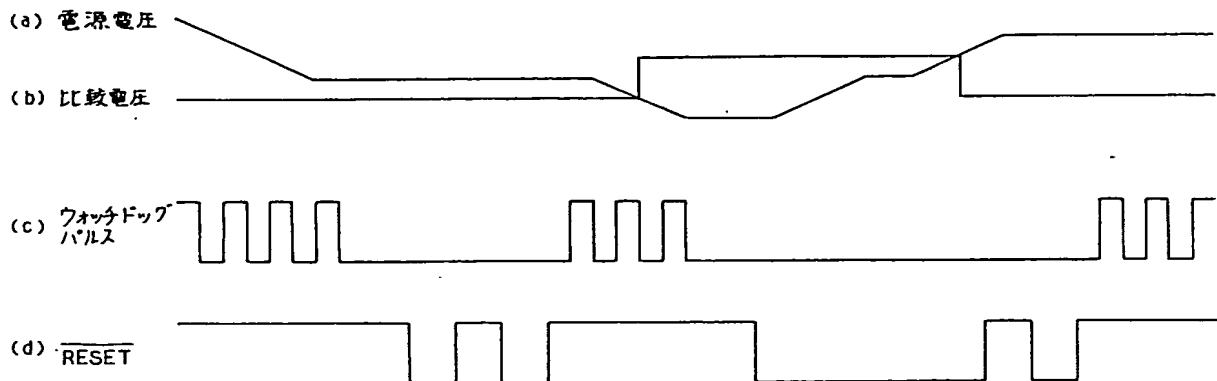
1…ウォッチドッグタイマ回路、2…電源電圧比較回路、3…リセット制御回路、10…デジタルコンピュータをなすマイクロコンピュータ。

代理人弁理士 岡 部 隆

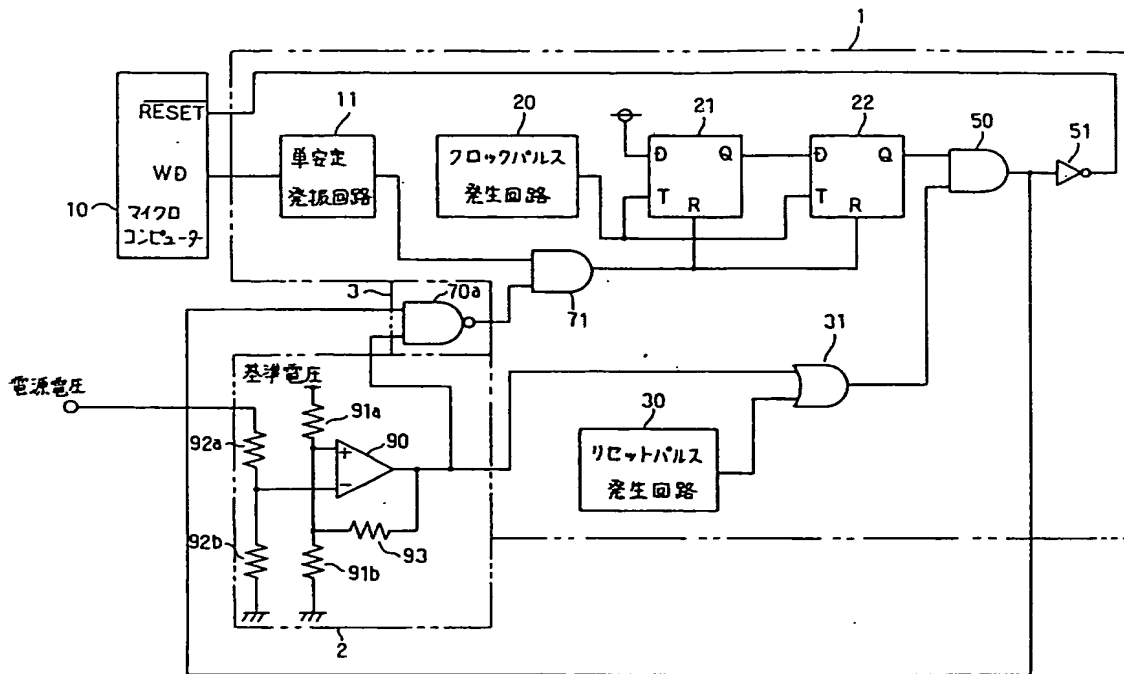


- 1 ; ウォッチドッグタイマ回路
2 ; 電源電圧比較回路
3 ; リセット制御回路
10 ; マイクロコンピュータ-

第 1 図



第 2 図



第 3 図

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成6年(1994)6月24日

【公開番号】特開平1-42746

【公開日】平成1年(1989)2月15日

【年通号数】公開特許公報1-428

【出願番号】特願昭62-200303

【国際特許分類第5版】

G06F 11/30 310 B 9290-5B

手続補正書

平成 5年 9月 25日

特許庁長官 殿

1 事件の表示

昭和62年特許第200303号

2 発明の名称

デジタルコンピュータのリセット装置

3 補正をする者

事件との関係 特許出願人

愛知県刈谷市昭和町1丁目1番地

(426) 日本電装株式会社

代表者 石丸典生

4 代理人

〒448 愛知県刈谷市昭和町1丁目1番地

日本電装株式会社内

(7477) 弁理士 岡部 隆

(丸<0566>25-5983)

5 補正の対象

明細書の特許請求の範囲の欄

6 補正の内容

別紙の通り。

2. 特許請求の範囲

(1) デジタルコンピュータから一定期間内にウォッチドッグパルスが出力されないことを検出し、デジタルコンピュータに対してリセットをかけるためのウォッチドッグタイマ手段と、

電源電圧と所定の比較電圧とを比較する電源電圧比較手段と、

電源電圧が前記比較電圧以上で前記デジタルコンピュータからのウォッチドッグパルスが反転しない時に前記デジタルコンピュータに対して前記ウォッチドッグタイマ手段よりリセットパルスを繰り返し加え、前記電源電圧が前記比較電圧以下で、かつ前記デジタルコンピュータからのウォッチドッグパルスが反転しない時から前記デジタルコンピュータに対してリセットをかけ続け、前記電源電圧が前記比較電圧以上になるまでリセットを解除しないリセット制御手段とを備えるデジタルコンピュータのリセット装置。

(2) 前記リセット制御手段は、電源電圧が前記比較電圧以上で前記デジタルコンピュータからの

特許

5.9

11

(2)

2

1
ウォッチドッグパルスが反転しない時に前記デジタルコンピュータに対して前記ウォッチドッグタイマ手段よりリセットパルスを送り返し加え、前記電源電圧が第1の比較電圧以下で、かつ前記デジタルコンピュータからのウォッチドッグパルスが反転しない時から前記デジタルコンピュータに対してリセットをかけ続け、前記電源電圧が第2の比較電圧以上になるまでリセットを解除しないことを特徴とする特許請求の範囲第1項に記載のコンピュータのリセット装置。